

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Takaharu YAMANO, et al.

Application No.:

Group Art Unit:

Filed: April 12, 2004

Examiner:

For: SEMICONDUCTOR PACKAGE AND PRODUCTION METHOD

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-110680

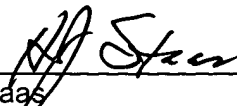
Filed: April 15, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: April 12, 2004

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 5 日
Date of Application:

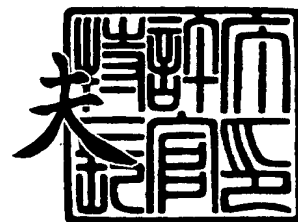
出 願 番 号 特 願 2 0 0 3 - 1 1 0 6 8 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 1 0 6 8 0]

出 願 人 新 光 電 気 工 業 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 6 8 8

【書類名】 特許願

【整理番号】 1025241

【提出日】 平成15年 4月15日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/00
H01L 21/78

【発明の名称】 半導体パッケージ及びその製造方法

【請求項の数】 18

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 山野 孝治

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 吉原 孝子

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 春原 昌宏

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100077517

 【弁理士】

 【氏名又は名称】 石田 敬

 【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージ及びその製造方法

【特許請求の範囲】

【請求項 1】 複数個の半導体パッケージをウエハレベルで一括して作製した後に個々の半導体パッケージに切り離されたものであって、

前記半導体パッケージが、2 個以上の半導体装置を絶縁層を介して貼り合せた積層体であり、

前記半導体装置が、それぞれ、基板とその表面に形成されたデバイスパターンとを含んでおり、かつ

下方の半導体装置のデバイスパターン面がその上に積層された半導体装置の非デバイスパターン面と対面していることを特徴とする半導体パッケージ。

【請求項 2】 最下層の半導体装置が、その非デバイスパターン面にさらに、高熱伝導性の材料からなる放熱層を有していることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】 前記放熱層が、前記半導体パッケージを切り離す前に最下層のウエハの非デバイスパターン面に被着されたものであることを特徴とする請求項 2 に記載の半導体パッケージ。

【請求項 4】 前記放熱層が、薄膜形成技術によって形成されたものであることを特徴とする請求項 2 又は 3 に記載の半導体パッケージ。

【請求項 5】 前記放熱層が、銅、アルミニウム又はその合金からなることを特徴とする請求項 2 ～ 4 のいずれか 1 項に記載の半導体パッケージ。

【請求項 6】 前記放熱層が支持体として機能していることを特徴とする請求項 2 ～ 5 のいずれか 1 項に記載の半導体パッケージ。

【請求項 7】 前記絶縁層がポリイミド樹脂又はエポキシ樹脂からなることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の半導体パッケージ。

【請求項 8】 最上層の半導体装置が、そのデバイスパターン面に樹脂封止層をさらに有しておりかつ該樹脂封止層が、前記半導体パッケージを切り離す前に最上層のウエハのデバイスパターン面に形成されたものであることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体パッケージ。

【請求項 9】 積層された半導体装置のデバイスパターンどうしが、1つの半導体装置において同時に形成された再配線層及び基板貫通電極によって電氣的に接続されていることを特徴とする請求項 1～8 のいずれか 1 項に記載の半導体パッケージ。

【請求項 1 0】 前記再配線層及び前記基板貫通電極がそれぞれ銅もしくはその合金からなることを特徴とする請求項 9 に記載の半導体パッケージ。

【請求項 1 1】 それぞれ基板とその表面に形成されたデバイスパターンを含む 2 個以上の半導体装置の積層体を含む半導体パッケージを製造する方法であって、

半導体材料からなるウエハを加工して、所定のデバイスパターンを表面に有する半導体装置の複数個を一括して作り込み、半導体装置実装ウエハを製造する工程を反復すること、

下方の半導体装置実装ウエハの上にもう 1 つの半導体装置実装ウエハをその非デバイスパターン面を下側にして絶縁層を介して貼り合せるとともに、前記もう 1 つの半導体装置実装ウエハを製造する工程において、前記下方の半導体装置実装ウエハのデバイスパターン面の上に半導体材料からなるウエハを前記絶縁層を介して貼り合せた後、そのウエハを加工して、所定のデバイスパターンを表面に有する半導体装置の複数個を一括して作り込むこと、及び

前記半導体パッケージの完成に必要な数の前記半導体装置実装ウエハの貼り合せが完了した後、得られたウエハ積層体から個々の前記半導体パッケージを予め定められた切断線に沿って切り離すことを特徴とする半導体パッケージの製造方法。

【請求項 1 2】 前記ウエハ積層体において、最下層の半導体装置実装ウエハの非デバイスパターン面に高熱伝導性の材料から放熱層を形成することを特徴とする請求項 1 1 に記載の半導体パッケージの製造方法。

【請求項 1 3】 前記放熱層を薄膜形成技術によって形成することを特徴とする請求項 1 2 に記載の半導体パッケージの製造方法。

【請求項 1 4】 前記放熱層を銅、アルミニウム又はその合金から形成することを特徴とする請求項 1 2 又は 1 3 に記載の半導体パッケージの製造方法。

【請求項 15】 前記絶縁層をポリイミド樹脂又はエポキシ樹脂から形成することを特徴とする請求項 11～14 のいずれか 1 項に記載の半導体パッケージの製造方法。

【請求項 16】 前記ウエハ積層体において、最上層の半導体装置実装ウエハのデバイスパターン面にさらに樹脂封止層を形成することを特徴とする請求項 11～15 のいずれか 1 項に記載の半導体パッケージの製造方法。

【請求項 17】 前記もう 1 つの半導体装置実装ウエハを製造する工程において、再配線層及び基板貫通電極を同時に形成することを特徴とする請求項 11～16 のいずれか 1 項に記載の半導体パッケージの製造方法。

【請求項 18】 前記再配線層及び前記基板貫通電極を銅もしくはその合金から形成することを特徴とする請求項 17 に記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に半導体装置を実装した半導体パッケージに関し、さらに詳しく述べると、高密度実装が可能な小型で高性能な半導体パッケージ、いわゆる CSP（チップサイズパッケージ）に関する。また、本発明は、そのような半導体パッケージをウエハレベルで簡単にかつ歩留まりよく製造する方法に関する。

【0002】

【従来の技術】

近年、電子機器の高性能化、小型化に対応するため、ICチップ、LSIチップ等の半導体素子あるいは半導体素子を基板上に搭載した構成の半導体装置を組み合わせて、いろいろなタイプの半導体パッケージが提案されている。また、かかる半導体パッケージにおいて高密度実装を可能とするため、各研究機関及び各社から 3 次元実装のモデルが提案されている。半導体チップどうしを重ね合わせ、両者をボンディングワイヤで接続する方法も提案されているが、もっとも有力視されているのは、半導体チップどうしを重ね合わせ、フリップチップ（FC）によって両者を固定するとともに、両者の間にアンダーフィル材を充填する方法

である。

【0003】

最近では、FC接続を省略したより小型化された半導体パッケージも提案されている。例えば、図9に示すように、パターンフィルム104の上にウエハ（半導体チップ）105が絶縁性接着材006を介して複数枚積層されたスタックド半導体装置114が提案されている（特許文献1）。また、このスタックド半導体装置114では、ウエハ105の積層体の外周及び内周に、縦の配線パターン116を形成するとともに、パターンフィルム105の下面に、外部接続パターン103を介して外部接続端子111を配置している。しかし、このスタックド半導体装置の場合、ウエハの積層、ダイシング、シリコンエッチング及び絶縁性接着材の塗布を繰り返し行って所望複数段のウエハ積層体を形成しなければならず、製造工程が非常に複雑となっている。また、縦の配線パターンの形成工程を別に設けなければならないという問題もある。

【0004】

また、図10に示すように、突起電極164を両面に有する半導体チップ162を製造した後、その複数個（図では、6個）を突起電極164を突き合わせるように積層することで製造した半導体装置161も提案されている（特許文献2）。それぞれの半導体チップ162は、その表裏面に絶縁層172を有し、かつその表裏面を貫通するように形成されたスルーホール166を備えている。スルーホール166の内側には、絶縁膜168と導電部材170が順に形成されている。しかし、この半導体装置の場合、半導体チップを順に積層する方法を採用しているので、製造の歩留まりが悪いという問題がある。また、型を用いた絶縁層の転写工程も煩雑である。

【0005】

【特許文献1】

特開2000-252411号公報（特許請求の範囲、段落0010～0019、図3）

【特許文献2】

特開2001-94039号公報（特許請求の範囲、段落0054、

図 9)

【0 0 0 6】

【発明が解決しようとする課題】

本発明は、上記のような従来の技術の問題点を解決することを目的とする。

【0 0 0 7】

本発明の目的は、高密度実装が可能な小型で高性能な半導体パッケージを提供することにある。

【0 0 0 8】

また、本発明の目的は、高密度実装が可能な小型で高性能な半導体パッケージをウエハレベルで簡単にかつ歩留まりよく製造する方法を提供することにある。

【0 0 0 9】

本発明のこれらの目的やその他の目的は、以下の詳細な説明から容易に理解することができるであろう。

【0 0 1 0】

【課題を解決するための手段】

本発明は、その 1 つの面において、複数個の半導体パッケージをウエハレベルで一括して作製した後に個々の半導体パッケージに切り離されたものであって、前記半導体パッケージが、2 個以上の半導体装置を絶縁層を介して貼り合せた積層体であり、

前記半導体装置が、それぞれ、基板とその表面に形成されたデバイスパターンとを含んでおり、かつ

下方の半導体装置のデバイスパターン面がその上に積層された半導体装置の非デバイスパターン面と対面していることを特徴とする半導体パッケージにある。

【0 0 1 1】

また、本発明は、そのもう 1 つの面において、それぞれ基板とその表面に形成されたデバイスパターンとを含む 2 個以上の半導体装置の積層体を含む半導体パッケージを製造する方法であって、

半導体材料からなるウエハを加工して、所定のデバイスパターンを表面に有する半導体装置の複数個を一括して作り込み、半導体装置実装ウエハを製造する工

程を反復すること、

下方の半導体装置実装ウエハの上にもう 1 つの半導体装置保有ウエハをその非デバイスパターン面を下側にして接着剤層を介して貼り合せるとともに、前記もう 1 つの半導体装置実装ウエハを製造する工程において、前記下方の半導体装置実装ウエハのデバイスパターン面の上に半導体材料からなるウエハを前記絶縁層を介して貼り合せた後、そのウエハを加工して、所定のデバイスパターンを表面に有する半導体装置の複数個を一括して作り込むこと、及び

前記半導体パッケージの完成に必要な数の前記半導体装置実装ウエハの貼り合せが完了した後、得られたウエハ積層体から個々の前記半導体パッケージを予め定められた切断線に沿って切り離すことを特徴とする半導体パッケージの製造方法にある。

【0012】

【発明の実施の形態】

本発明による半導体パッケージ及びその製造方法は、それぞれ、いろいろな形態で有利に実施することができる。以下、本発明の好ましい実施の形態について説明する。

【0013】

本発明の半導体パッケージは、複数個の半導体パッケージをウエハレベルで一括して作製した後に個々の半導体パッケージに切り離されたものである。すなわち、本発明の半導体パッケージは、従来より広く使用されている半導体パッケージ、すなわち、半導体装置（例えば、IC、LSI等の半導体チップ）を予め製造した後に 2 個以上の半導体装置を重ね合わせ、半導体装置どうしの間にアンダーフィル材を充填して製造された半導体パッケージとは構造的及び製法的に相違する。本発明に従い特にウエハレベルで 3 次元実装を行えるということは、以下の説明から容易に理解できるように、高密度実装や製造工数の削減などの面で有用である。

【0014】

本発明の半導体パッケージは、下記の要件：

- (1) 半導体パッケージは、2 個以上の半導体装置を絶縁層を介して貼り合せた

積層体であること、

(2) 半導体装置は、それぞれ、基板とその表面に形成されたデバイスパターンとを含んでいること、及び

(3) 下方の半導体装置のデバイスパターン面がその上に積層された半導体装置の非デバイスパターン面と対面していることを満足させるものである。

【0015】

まず、半導体パッケージは、2個以上の半導体装置を絶縁層を介して貼り合せた積層体である。但し、それぞれの半導体パッケージは、所要数の作製済み半導体装置どうしを貼り合せて製造したものではなく、所要数のウエハにおいてデバイスパターンの形成及び絶縁層を介したウエハどうしの接合を行ってウエハ積層体（半導体装置実装ウエハの積層体）を製造した後、半導体パッケージを個々に切り出したものである。

【0016】

本発明の実施において、最終的に半導体装置の基板となるウエハの積層数は特に限定されるものではなく、半導体パッケージの構成に応じて必要な数のウエハを任意に積層することができる。ウエハの積層数は、通常、約2～8層であり、好ましくは4層である。また、ウエハは、いろいろな材料からなることができるけれども、通常、シリコンのような半導体材料が基板として好適である。必要ならば、ガラスなどのセラミック材料を基板として使用してもよい。ウエハの厚さは、通常、約50～725 μm の範囲である。

【0017】

本発明の半導体パッケージでは、半導体装置（あるいは、ウエハ）どうしの接合に絶縁層が使用される。絶縁層は、好ましくは、絶縁性の樹脂材料であり、例えばポリイミド樹脂、エポキシ樹脂などが絶縁層材料として有用である。絶縁層は、かかる樹脂材料の溶液を塗布及び硬化させて形成してもよく、さもなければ、樹脂材料のフィルムを貼付して形成してもよい。また、必要ならば、接着剤やそのフィルムを使用して絶縁層を形成してもよい。絶縁層の厚さは、通常、約10～75 μm の範囲であり、好ましくは、約10～45 μm の範囲である。

【0 0 1 8】

また、本発明の半導体パッケージにおいて、それに含まれる 2 個もしくはそれ以上の半導体装置は、それぞれ、基板とその表面に形成されたデバイスパターンとを含むように構成され、また、必要ならば、その他の要素を有していてもよい。基板は、上記したように、半導体ウエハやその他のウエハから切り出されたものである。また、基板の片面には、本発明でいうデバイスパターンが形成される。デバイスパターンは、以下に列挙するものに限定されるわけではないが、配線層（再配線層などを含む）、電極、基板貫通電極、導体パッド、能動素子及び受動素子などを包含する。また、デバイスパターンは、通常、基板の表面に形成されるけれども、必要なら、基板の裏面や内部に形成してもよい。

【0 0 1 9】

さらに、本発明の半導体パッケージにおいて、下方の半導体装置のデバイスパターン面は、その上に積層された半導体装置の裏面と対面している。すなわち、本発明の半導体パッケージは、ウエハの表面側（デバイスパターン面）どうしを突き合わせて貼り合せた構造のものではなくて、従来の技術ではウエハレベル 3 次元実装は困難であると考えられてきた、ウエハの表面側（デバイスパターン面）とウエハの裏面（非デバイスパターン面、すなわち、必要に応じて背面研削が可能な B S G 側）とを突き合わせて貼り合せた構造のものである。このような貼り合せ構造は、例えば、半導体パッケージの薄型化、配線長の短縮、製造工数の削減などの面で有用である。

【0 0 2 0】

さらに加えて、本発明の半導体パッケージは、その構造や性能などの改善のために追加の層などを有していてもよい。例えば、本発明の半導体パッケージにおいて、その最下層の半導体装置が、その非デバイスパターン面にさらに、高熱伝導性の材料からなる放熱層を有していることが好ましい。放熱層は、従来の半導体パッケージにおいて別に貼付されていた冷却板、放熱フィンなどに相当するものであり、半導体装置の放熱特性を向上させる働きがあり、また、その厚さなどによっては、半導体装置の支持体としても機能することができる。

【0 0 2 1】

放熱層は、好ましくは、半導体パッケージを個々に切り離す前に最下層のウエハの非デバイスパターン面に被着されたものである。また、放熱層は、好ましくは、例えばスパッタリング、蒸着などの薄膜形成技術によって形成されたものである。すなわち、本発明の放熱層は、ウエハレベルで薄膜の形に形成することができるので、半導体パッケージの薄型化、工数削減などに寄与するところが大である。

【0022】

放熱層は、いろいろな材料から異なる厚さで形成することができる。例えば、成膜にスパッタリングなどを使用することを考慮すると、以下に列挙するものに限定されるわけではないけれども、銅、アルミニウム又はその合金が放熱層材料として好適である。また、放熱層の厚さは、通常、約 $0.1 \sim 1 \mu\text{m}$ の範囲であり、好ましくは、約 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。

【0023】

放熱層は、通常、本発明のようにウエハレベルで半導体パッケージを製造する際にその任意の段階、好ましくは最終段階でウエハのBSG側に形成するのが最も有用であるけれども、必要に応じて、積層構造を有しない半導体装置や半導体パッケージの製造においてウエハ段階でBSG側に形成した場合でも、本発明で意図した作用効果を得ることができる。

【0024】

本発明の半導体パッケージでは、好ましくは、積層された半導体装置において、それらのデバイスパターンどうしが、1つの半導体装置において同時に形成された配線層、好ましくは再配線層及び基板貫通電極によって電氣的に接続されている。換言すると、本発明の半導体パッケージでは、好ましいことに、再配線層及び基板貫通電極を同時に形成することで、構成の簡略化、工数の削減などを図ることができる。再配線層や基板貫通電極は、それぞれ、銅もしくはその合金からめっきなどによって有利に形成することができる。

【0025】

また、本発明の半導体パッケージでは、好ましくは、最上層の半導体装置が、そのデバイスパターン面に樹脂封止層をさらに有している。また、樹脂封止層は

上記した放熱層と同様に、半導体パッケージを個々に切り離す前に最上層のウエハのデバイスパターン面に形成されたものであることが好ましい。樹脂封止層の形成に用いられる樹脂は、特に限定されるものではなく、例えば、常用の封止樹脂であるエポキシ樹脂などを有利に使用することができる。封止樹脂は、塗布、ポッティング、フィルム貼付などによってデバイスパターン面に適用することができる。樹脂封止層は、半導体パッケージやそのデバイスパターンを水分の浸入や衝撃などから保護するのに有用である。樹脂封止層の厚さは、通常、約 50 ～ 90 μm の範囲であり、好ましくは、約 60 ～ 80 μm の範囲である。

【0026】

本発明は、また、それぞれ基板とその表面に形成されたデバイスパターンとを含む 2 個以上の半導体装置の積層体を含む半導体パッケージを製造する方法にある。本発明の製造方法は、半導体パッケージについての上述の説明や、図面を参照した以下の実施例の説明から理解されるように、

(1) 半導体材料からなるウエハを加工して、所定のデバイスパターンを表面に有する半導体装置の複数個を一括して作り込み、半導体装置実装ウエハを製造する工程を反復すること、

(2) 下方の半導体装置実装ウエハの上にもう 1 つの半導体装置実装ウエハをその非デバイスパターン面を下側にして絶縁層を介して貼り合せるとともに、前記もう 1 つの半導体装置実装ウエハを製造する工程において、前記下方の半導体装置実装ウエハのデバイスパターン面の上に半導体材料からなるウエハを前記絶縁層を介して貼り合せた後、そのウエハを加工して、所定のデバイスパターンを表面に有する半導体装置の複数個を一括して作り込むこと、及び

(3) 前記半導体パッケージの完成に必要な数の前記半導体装置実装ウエハの貼り合せが完了した後、得られたウエハ積層体から個々の前記半導体パッケージを予め定められた切断線に沿って切り離すこと

を特徴とする。なお、「半導体装置実装ウエハ」とは、本発明の半導体パッケージの前駆体を意味しており、切り出しを所望される数の半導体パッケージに相当する数の半導体装置がすでに作り込まれている 1 枚のウエハを指している。すなわち、所要数の半導体装置実装ウエハを積層してウエハ積層体を得た後、そのウ

エハ積層体を予め定められたデザインに従って切り出せば、所望される数の半導体パッケージを個々に得ることができる。

【0027】

【実施例】

引き続き、本発明の実施例を添付の図面を参照して説明する。なお、本発明は下記の実施例に限定されるものではないことを理解されたい。また、下記の半導体パッケージの製造方法の説明では、説明の簡略化のために1個の半導体パッケージを拡大して説明するけれども、実際にはウエハレベルで製造が行われるため、1枚のウエハに多数の半導体パッケージを一括して作り込んだ後、個々の半導体パッケージに切り分ける方法がとられている。

【0028】

図1は、本発明による半導体パッケージの好ましい1実施例を示した断面図である。半導体パッケージ10は、シリコンウエハに多数の半導体装置を予め定められたデザインに従って作りこんだ後、ダイシングラインDに沿って切り出されたものである。図示の半導体パッケージ10では、下方のシリコン基板11を有する第1の半導体装置と、上方のシリコン基板21を有する第2の半導体装置とがエポキシ樹脂からなる絶縁層15を介して接合されている。

【0029】

第1の半導体装置について見ると、シリコン基板11は、その表面が本発明でいうデバイスパターン面に相当し、アルミニウム(A1)からなる電極パッド12、ポリイミド樹脂からなる保護膜13、そして銅(Cu)からなる配線層(ここでは、再配線層)14を有している。また、シリコン基板11の裏面は、背面研削面(BSG面)であり、所望の厚さを有するシリコン基板11を得るため、CMPによって研削済みである。

【0030】

次いで、第1の半導体装置のデバイスパターン面にBSG面を対面させて積層された第2の半導体装置について見ると、シリコン基板21は、その表面がデバイスパターン面に相当し、アルミニウム(A1)からなる電極パッド22、ポリイミド樹脂からなる保護膜23、そして銅(Cu)からなる配線層(ここでは、

再配線層) 24 を有している。また、シリコン基板 21 は、それを貫通して形成された、銅 (Cu) からなる基板貫通電極 26 を有している。基板貫通電極 26 は、配線層 24 と同時に形成されたものであり、配線層 24 と配線層 14 を電気的に連通している。さらに、シリコン基板 21 は、そのデバイスパターン面の全体がエポキシ樹脂からなる樹脂封止層 27 で被覆されている。さらにまた、配線層 24 の所定の位置には銅 (Cu) からなる導体ポスト 28 が立設され、さらにはんだボール 29 が搭載されている。はんだボール 29 は、外部接続端子を構成するものであり、これに代えてはんだバンプなどを搭載してもよい。

【0031】

図示の半導体パッケージでは、ウエハどうしを貼り合わせる工程で、ウエハのデバイスパターン面とウエハのBSG面とを突き合わせていること、シリコン基板を貫通して基板貫通電極(ビア電極)を形成していること、CMPなしで配線層とビア電極を同時に形成していること、ウエハをダイシングし、半導体パッケージを一括して多数個取りしていること、などが特徴であり、これらの特徴に由来して、チップーチップ間の配線長が短縮するので、高速パッケージを具現することができる、3次元化により、高密度実装が可能となる、などの効果を得ることができる。

【0032】

図2は、本発明による半導体パッケージにおいて、そのウエハ裏面に冷却板機能を付与した例を示した断面図である。半導体パッケージ10は、図1の半導体パッケージと同様に、半導体装置実装ウエハの積層体をダイシングラインDに沿って切り出すことによって得られたものである。図示の半導体パッケージ10では、下方のシリコン基板11を有する第1の半導体装置と、上方のシリコン基板21を有する第2の半導体装置とがエポキシ樹脂からなる絶縁層15を介して接合されている。

【0033】

第1の半導体装置について見ると、説明の簡略化のため、その構成の詳細が省略されている。シリコン基板11の裏面には、所望の厚さを有するシリコン基板11を得るためにCMPによって研削した後、エポキシ樹脂フィルムの貼付によ

って形成された裏面保護膜 31 が貼付されている。また、裏面保護膜 31 には、アルミニウム (A1) のスパッタリングによって形成された放熱層 32 がさらに積層されている。

【0034】

次いで、第 1 の半導体装置のデバイスパターン面に BSG 面を対面させて積層された第 2 の半導体装置について見ると、シリコン基板 21 は、その表面がデバイスパターン面に相当し、アルミニウム (A1) からなる電極パッド 22、ポリイミド樹脂からなる保護膜 23、そして銅 (Cu) からなる配線層 (ここでは、再配線層) 24 を有している。また、シリコン基板 21 は、そのデバイスパターン面の全体がエポキシ樹脂からなる樹脂封止層 27 で被覆されている。さらに、配線層 24 の所定の位置には銅 (Cu) からなる導体ポスト 28 が立設され、さらにはんだボール 29 が搭載されている。はんだボール 29 は、外部接続端子を構成するものであり、これに代えてはんだバンプなどを搭載してもよい。

【0035】

図示の半導体パッケージでは、ウエハどうしを貼り合わせる工程で、ウエハのデバイスパターン面とウエハの BSG 面とを突き合わせていること、高熱伝導性材料から放熱層を構成するとともに、その放熱層を支持体として使用していること、支持体を含めてウエハをダイシングし、半導体パッケージを一括して多数個取りしていること、などが特徴であり、これらの特徴に由来して、チップーチップ間の配線長が短縮するので、高速パッケージを具現することができる、3次元化により、高密度実装が可能となる、などの本発明の半導体パッケージに特有の効果に追加して、チップの放熱特性が向上する、冷却板に代えて放熱層をウエハ一括状態で形成するので、工数削減が可能である、などの新たな効果を得ることができる。

【0036】

図 3～図 5 は、図 1 に示したものと類似の構造をもった半導体パッケージの好ましい 1 製造方法を順に示した断面図である。

【0037】

最初に、所要数の第 1 の半導体装置を作り込むため、図 3 (A) に示すように

シリコンウエハ 11 を用意する。なお、図では、先にも説明したように、説明の簡略化のためにシリコンウエハ 11 の一部（1 個の半導体パッケージに相当する部分；よって、得られる半導体パッケージではシリコン基板となる）のみが示されている。

【0038】

次いで、用意したシリコンウエハ 11 のデバイスパターン面にアルミニウム（A1）からなる電極パッド 12 をめっきとエッチングによって形成し、その上をポリイミド樹脂からなる絶縁膜 13 で覆う。絶縁膜 13 は、例えば、ポリイミド樹脂の前駆体溶液を塗布し、加熱によって硬化させることによって形成することができる。絶縁膜 13 において、電極パッド 12 の部分は、次の工程で配線層を接続するため、開口状態とする。次いで、銅（Cu）めっきによって、配線層（ここでは、再配線層）14 を予め定められたパターンで形成する。

【0039】

配線層 14 を形成した後、図 3（B）に示すように、シリコンウエハ 11 のデバイスパターン面にエポキシ樹脂を所定の厚さで塗布して絶縁層 15 を形成する。絶縁層 15 は、エポキシ樹脂のフィルムを貼付して形成してもよく、あるいはシリコンウエハどうしの接合に有用であり、所望の絶縁効果があるのであるならば、その他の材料から形成してもよい。

【0040】

次いで、図 3（C）に示すように、シリコンウエハ 11 の上にシリコンウエハ 21 を重ね合わせ、絶縁層 15 を介して貼り合わせる。シリコンウエハ 21 のサイズは、シリコンウエハ 11 に同じである。

【0041】

引き続き、所要数の第 2 の半導体装置をシリコンウエハ 21 に作り込むための工程に移行する。

【0042】

まず、図 3（D）に示すように、シリコンウエハ 21 の基板貫通電極（ビア電極）形成部位にスルーホール 36 を形成する。スルーホール 36 は、例えば、リアクティブ・イオン・エッチング（RIE）、レーザー加工、エッチングなどの

常用の技法を使用して形成することができる。スルーホール 36 の形成の結果、絶縁層 15 の表面が部分的に露出した状態となる。

【0043】

次いで、図 4 (E) に示すように、シリコンウエハ 21 のデバイスパターン面にアルミニウム (A1) からなる電極パッド 22 をめっきとエッチングによって形成する。

【0044】

その後、図 4 (F) に示すように、ポリイミド樹脂からなる絶縁膜 23 で覆う。絶縁膜 23 は、例えば、ポリイミド樹脂の前駆体溶液を塗布し、加熱によって硬化させることによって形成することができる。絶縁膜 23 において、電極パッド 22 の部分は、次の工程で配線層を接続するため、開口状態とする。また、すでに形成されているスルーホール 36 の側壁も、絶縁膜 23 で被覆する。

【0045】

引き続いて、図 4 (G) に示すように、スルーホール 36 の先端で露出していた絶縁層 15 を選択的に除去して、より深いスルーホール 37 を形成し、下地の配線層 14 が露出した状態とする。後段の工程で、シリコンウエハ 11 のデバイスパターンとシリコンウエハ 21 のデバイスパターンを電氣的に接続するためである。絶縁層 15 の除去（開口）には、例えば、ウェットエッチング、ドライエッチング（ケミカル・ドライ・エッチング）、レーザー加工などの常用の技法を使用することができる。

【0046】

さらに続けて、図 5 (H) に示すように、シリコン基板 21 のデバイスパターン面に銅 (Cu) からなる配線層（ここでは、再配線層）24 を予め定められたパターンで形成し、かつ、それと同時に、先の工程で形成しておいたスルーホール 37 にも Cu を充填してビア電極 26 を形成する。配線層 24 及びビア電極 26 の同時形成は、例えば、Cu の電解めっきや無電解めっきで有利に行うことができる。また、図示されていないが、この Cu めっき工程に先がけて、バリアメタル層及びシード層を Cr、Ti、Cu 等からスパッタリングなどで形成しておくことが好ましい。

【0047】

上記のようにしてシリコンウエハ 21 に配線層 24 とビア電極 26 を同時に形成した後、図 5 (I) に示すように、導体 (Cu) ポスト 28 を形成し、さらに全体をエポキシ樹脂で被覆して樹脂封止層 27 を形成する。この工程は、例えば、レジストパターン (図示せず) をマスクとして Cu の電解めっきによって Cu ポスト 28 を形成することによって有利に行うことができる。シード層をエッチングによって除去した後、エポキシ樹脂のポッティングによって樹脂封止層 27 を形成する。

【0048】

最後に、先の工程で形成した Cu ポスト 28の上にはんだボール 29 を搭載し、高められた温度ではんだをリフローし、さらに予め定められたダイシングライン (図示せず) に沿ってシリコンウエハ 11 及び 21 のダイシングを行うと、図 5 (J) に示すように、目的とする構造をもった多数の半導体パッケージ 10 を一括して得ることができる。

【0049】

図 6 ～図 8 は、図 2 に示したものと類似の構造をもった半導体パッケージの好ましい 1 製造方法を順に示した断面図である。

【0050】

最初に、図 6 (A) に示すように、所要数の第 1 の半導体装置 (図示せず) を作り込んだシリコンウエハ 11 のデバイスパターン面に、シリコンウエハ 21 をその BSG 面を対面させて載置する。シリコンウエハ 21 のサイズは、シリコンウエハ 11 に同じである。また、シリコンウエハ 21 の BSG 面は、所望の厚さを有するシリコンウエハ 21 を得るために CMP によって研削済みである。シリコンウエハ 11 とシリコンウエハ 21 は、エポキシ樹脂からなる絶縁層 (図示せず) を介して接合する。

【0051】

次いで、図 6 (B) に示すように、後段の工程で配線層を形成するための前処理を行う。まず、シリコンウエハ 21 のデバイスパターン面にアルミニウム (Al) からなる電極パッド 22 をめっきとエッチングによって形成する。その後、

ポリシリケートガラス（P S G）からなるパシベーション膜 4 1 及び S i N からなる絶縁膜 4 2 を順次成膜する。

【 0 0 5 2 】

続いて、図 6（C）に示すように、バリアメタル層 4 3 及びシード層（導通層） 4 4 を順次成膜する。例えば、バリアメタル層 4 3 は、C r、T i 等をスパッタリングすることによって形成することができ、また、シード層 4 4 は、C u 等をスパッタリングすることによって形成することができる。

【 0 0 5 3 】

上記のようにして前処理が完了した後、配線層（ここでは、再配線層）の形成工程に移行する。

【 0 0 5 4 】

まず、図 6（D）に示すように、再配線層の形成領域を除いてガイド用レジスト膜 4 5 を形成する。ガイド用レジスト膜 4 5 は、例えば、シリコンウエハ 2 1 の全面にレジストを塗布して硬化させた後、不要部分を溶解除去することによって形成することができる。

【 0 0 5 5 】

次いで、図 6（E）に示すように、ガイド用レジスト膜 4 5 の存在において銅（C u）のめっきを行い、シリコン基板 2 1 のデバイスパターン面に C u の再配線層 2 4 を形成する。C u めっきは、例えば、C u の電解めっきや無電解めっきで行うことができる。

【 0 0 5 6 】

上記のようにして C u 再配線層 2 4 を形成した後、図 7（F）に示すように、不要となったガイド用レジスト膜 4 5 を溶解除去するとともに、シリコンウエハ 1 1 の B S G 面を CMP によって研削する。図中、点線で示した部分がシリコンウエハ 1 1 から取り除かれる。

【 0 0 5 7 】

次いで、図 7（G）に示すように、導体ポストの形成領域 4 8 を除いてポスト形成ガイド用レジスト膜 4 6 を形成する。ポスト形成ガイド用レジスト膜 4 5 は、例えば、シリコンウエハ 2 1 の全面にレジストを塗布して硬化させた後、領域

48のレジストを溶解除去することによって形成することができる。

【0058】

上記のようにしてポスト形成ガイド用レジスト膜45を形成した後、図7（H）に示すように、導体（Cu）ポスト28を形成し、さらにその上にバリアメタル層38を形成する。この工程は、例えば、レジスト膜45をマスクとしてCuの電解めっきによってCuポスト28を形成した後、バリアメタル（Cr、Ti等）をスパッタリングすることによって有利に行うことができる。

【0059】

次いで、図7（I）に示すように、Cuポスト28の形成においてマスクとして使用したレジスト膜45を溶解除去する。また、この段階で、めっきのためにシリコンウエハ21の上に形成しておいたバリアメタル層43及びシード層44も除去する。

【0060】

引き続いて、図8（J）に示すように、シリコンウエハ11及び12の積層体の裏面（シリコンウエハ11のBSG面）にエポキシ樹脂フィルムを貼付して裏面保護膜31を形成する。

【0061】

その後、図8（K）に示すように、得られたウエハ積層体のデバイスパターン面において、そのCuポスト28が完全に埋設される厚さでエポキシ樹脂を被覆し、樹脂封止層27を形成する。樹脂封止層27は、例えば、エポキシ樹脂のポッティングによって形成することができる。

【0062】

樹脂封止の完了後、図8（L）に示すように、先の工程で形成した裏面保護膜31の上にさらに放熱層31を形成する。この工程は、例えば、高熱伝導材料であるアルミニウム（Al）のスパッタリングによって有利に形成することができる。

【0063】

最後に、先の工程で形成したCuポスト28の上にはんだボール29を搭載し、高められた温度ではんだをリフローし、さらに予め定められたダイシングライ

ン（図示せず）に沿ってシリコンウエハ 11 及び 21 のダイシングを行うと、図 8（M）に示すように、目的とする構造をもった多数の半導体パッケージ 10 を一括して得ることができる。

【0064】

【発明の効果】

以上に詳細に説明したように、本発明によれば、高密度実装が可能な小型で高性能な半導体パッケージと、そのような半導体パッケージをウエハレベルで簡単にかつ歩留まりよく製造する方法を提供することができる。また、半導体パッケージの裏面に冷却板機能をもった高熱伝導性の材料からなる放熱層をウエハレベルで成膜することによって、半導体パッケージの放熱特性を向上させるとともに、従来のように冷却板を貼付する場合に比較して工数を削減することが可能である。

【0065】

特に注目すべきは、従来、ウエハの表面側（デバイスパターン面）とウエハの裏面側（非デバイスパターン面である BSG 側）とを突き合わせて貼り合せた構造のウエハレベル 3 次元実装は困難であると考えられてきたが、本発明によりこれが可能となり、高密度実装がウエハレベルで容易に可能である。また、本発明で提案される手法を採用することで、既存のビルトアップ基板製造用材料や設備をそのまま本発明の実施に流用できるというメリットもある。

【0066】

また、本発明によれば、ウエハレベルで実装を行うとともに、ウエハのデバイスパターン面に再配線層を形成することで、得られる半導体パッケージにおいて、半導体素子と半導体素子の間の配線長を短縮することができ、高周波 DRAM 用半導体パッケージをはじめとした高速半導体パッケージを実現することができる。

【0067】

さらに、本発明によれば、ウエハのデバイスパターン面に再配線層を形成する際、その形成に先がけて従来一般的に使用されている CMP（化学機械研磨）を行う必要がないばかりか、ビア電極も同時に形成することができ、製造工程の大

幅な短縮と簡略化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明による半導体パッケージの好ましい 1 実施形態を示した断面図である。

【図 2】

本発明による半導体パッケージのもう 1 つの好ましい実施形態を示した断面図である。

【図 3】

本発明による半導体パッケージの好ましい 1 製造方法（その 1）を順に示した断面図である。

【図 4】

本発明による半導体パッケージの好ましい 1 製造方法（その 2）を順に示した断面図である。

【図 5】

本発明による半導体パッケージの好ましい 1 製造方法（その 3）を順に示した断面図である。

【図 6】

本発明による半導体パッケージのもう 1 つの好ましい製造方法（その 1）を順に示した断面図である。

【図 7】

本発明による半導体パッケージのもう 1 つの好ましい製造方法（その 2）を順に示した断面図である。

【図 8】

本発明による半導体パッケージのもう 1 つの好ましい製造方法（その 3）を順に示した断面図である。

【図 9】

従来の半導体パッケージの一例を示した斜視図である。

【図 10】

従来の半導体パッケージのもう 1 つの例を示した断面図である。

【符号の説明】

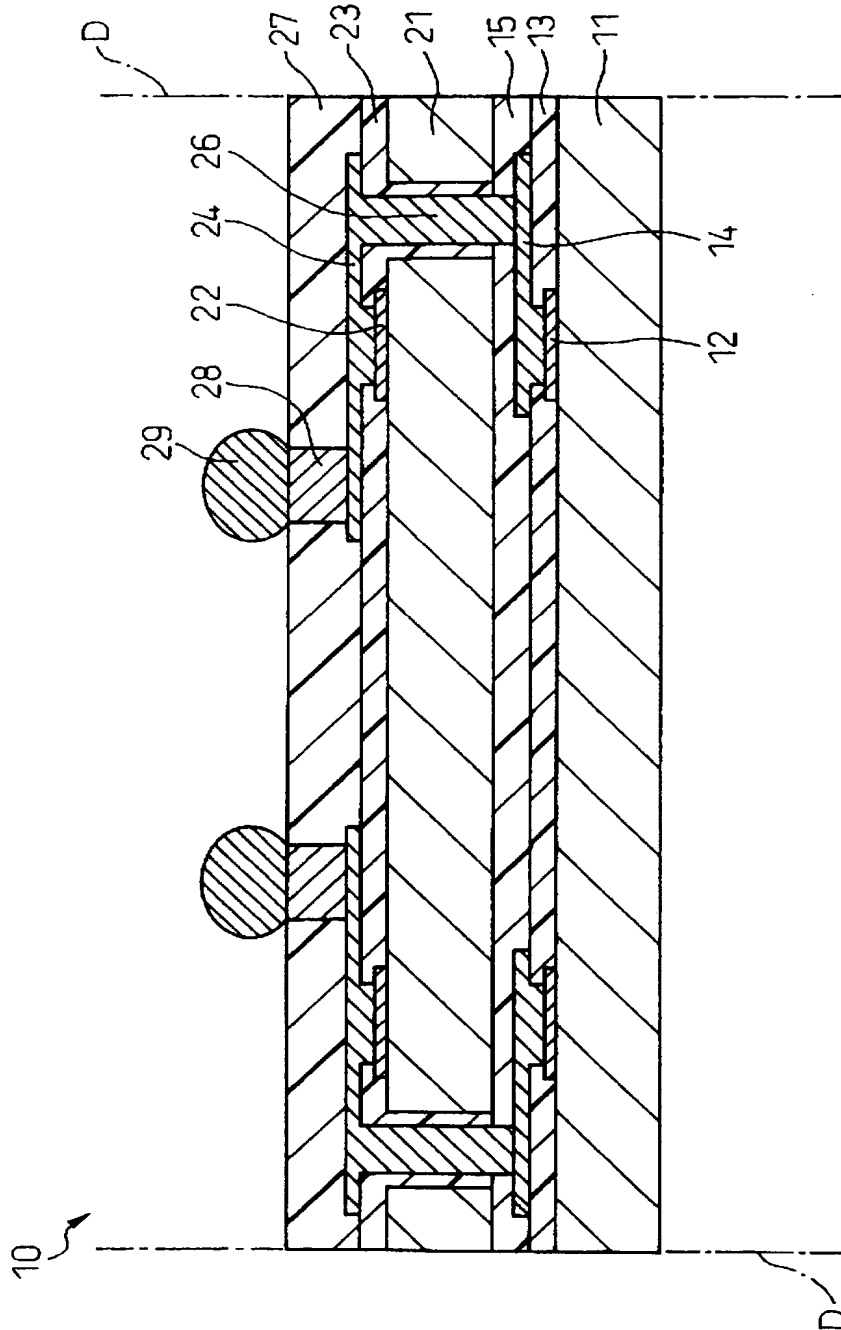
- 1 0…半導体パッケージ
- 1 1…第 1 基板
- 1 2…電極パッド
- 1 3…絶縁膜
- 1 4…配線層
- 1 5…絶縁層
- 2 1…第 2 基板
- 2 2…電極パッド
- 2 3…絶縁膜
- 2 4…配線層
- 2 6…基板貫通電極
- 2 7…樹脂封止層
- 2 8…導体ポスト
- 2 9…はんだボール
- 3 1…裏面保護膜
- 3 2…放熱層

【書類名】

図面

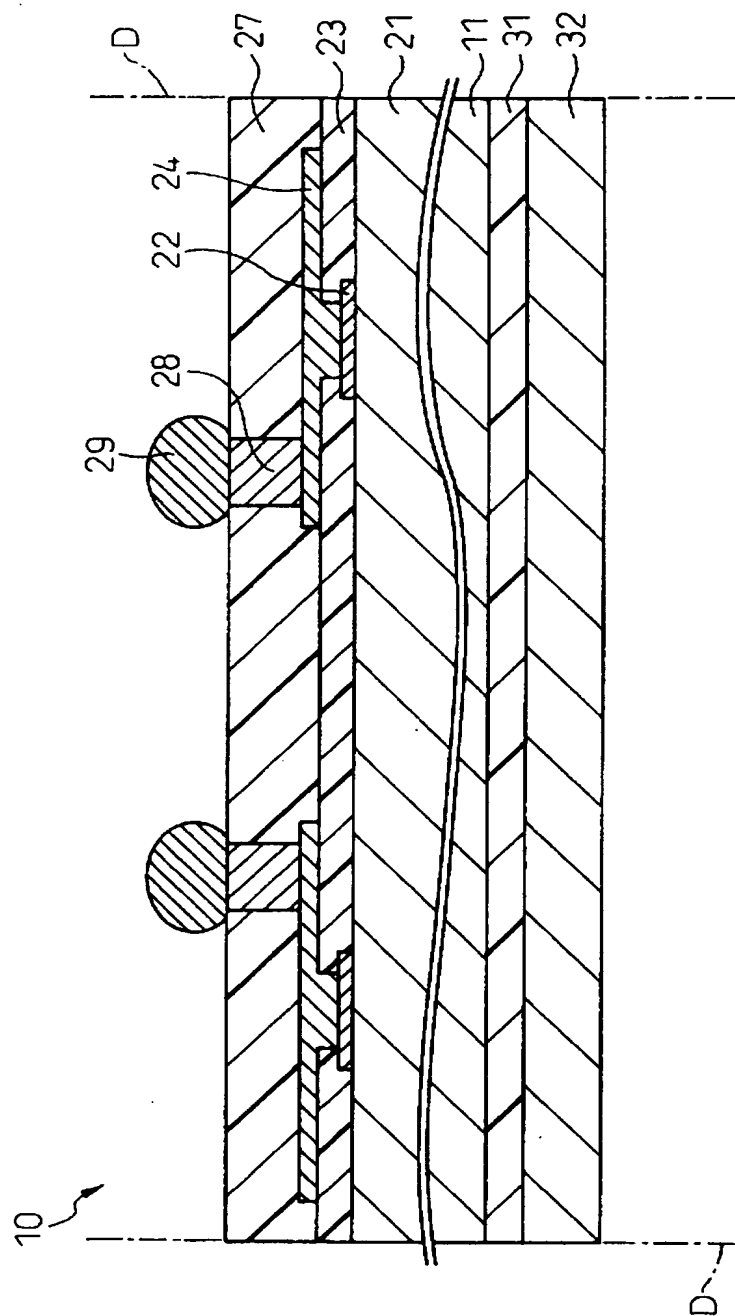
【図 1】

図 1



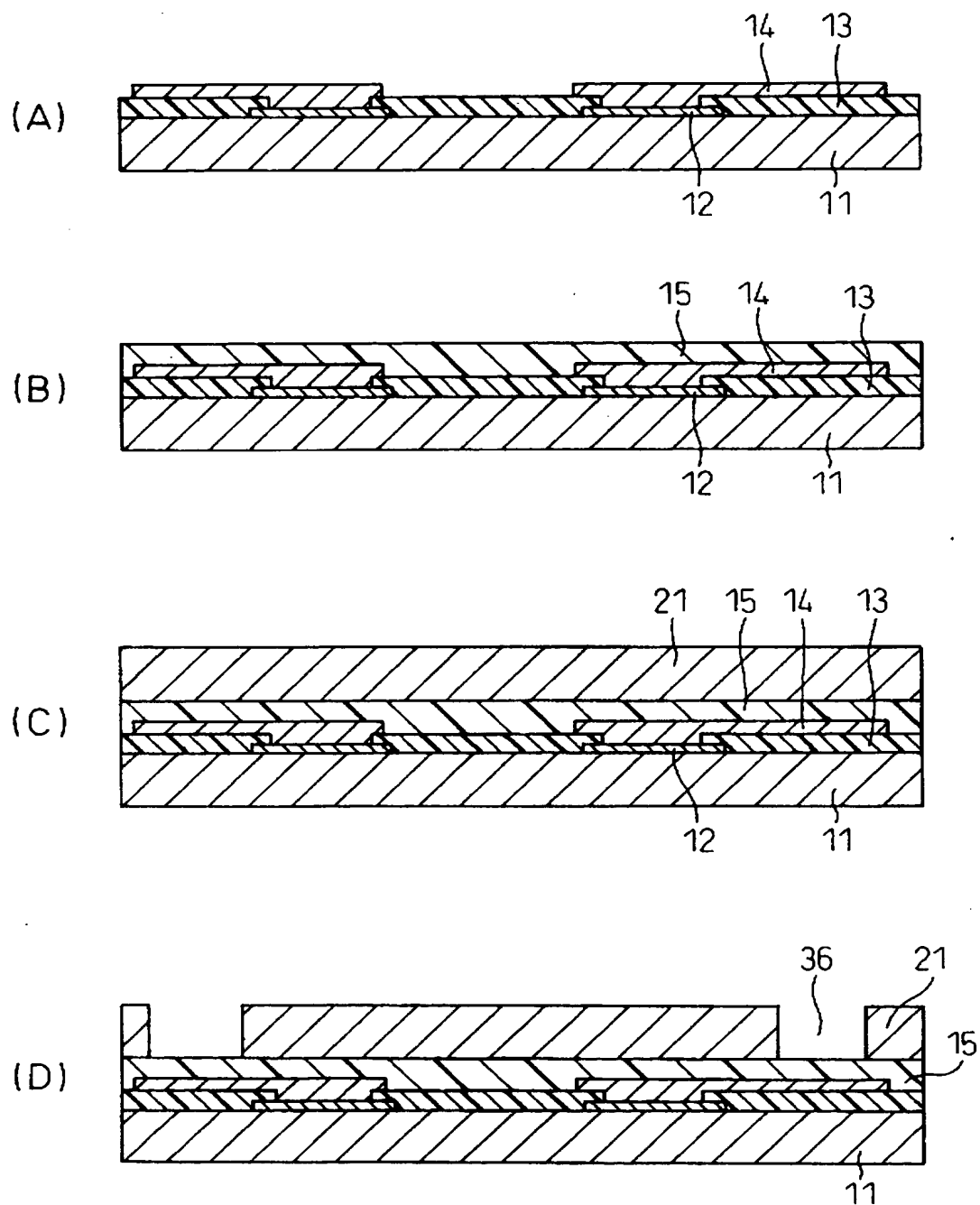
【図 2】

図 2

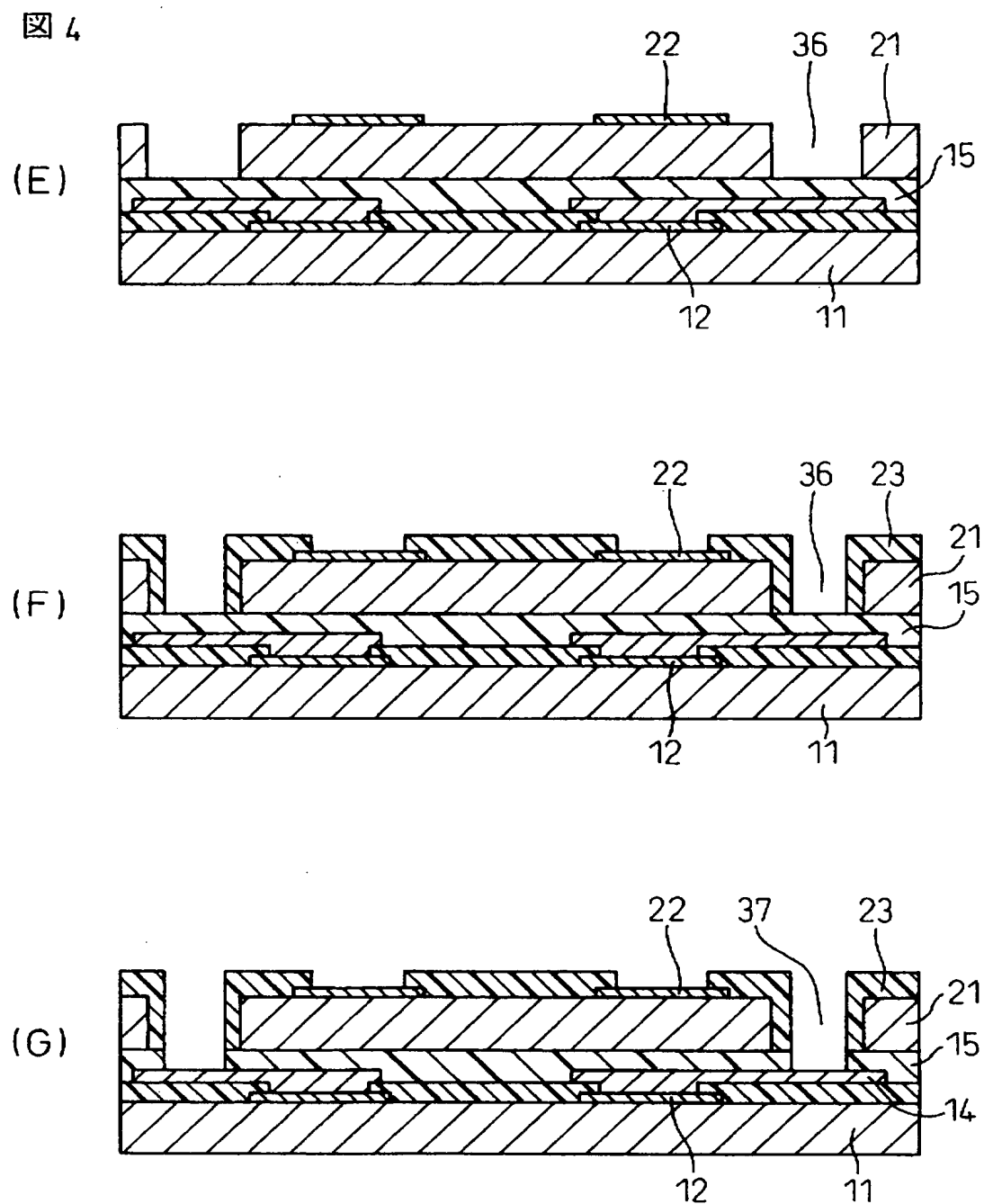


【図 3】

図 3

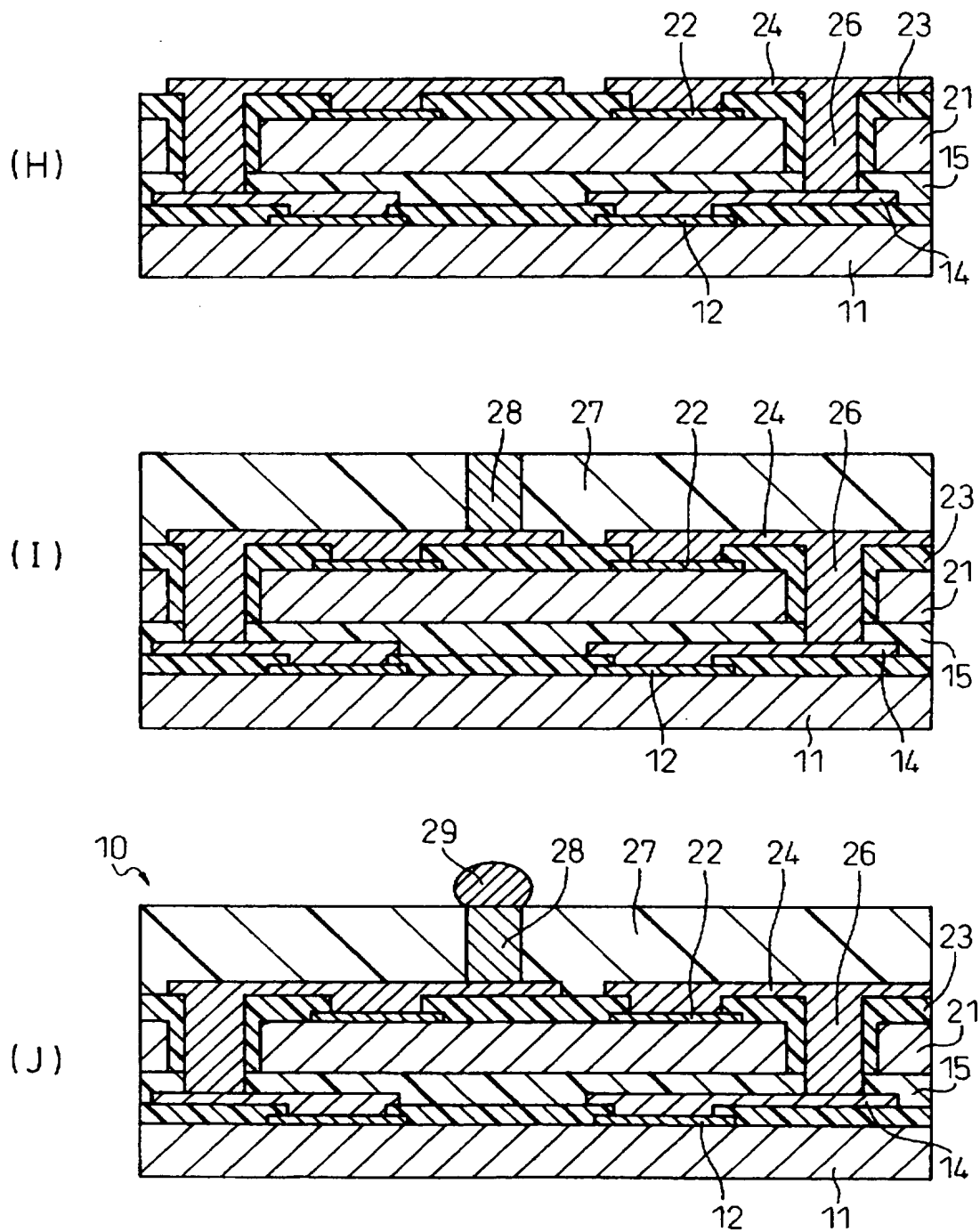


【図 4】



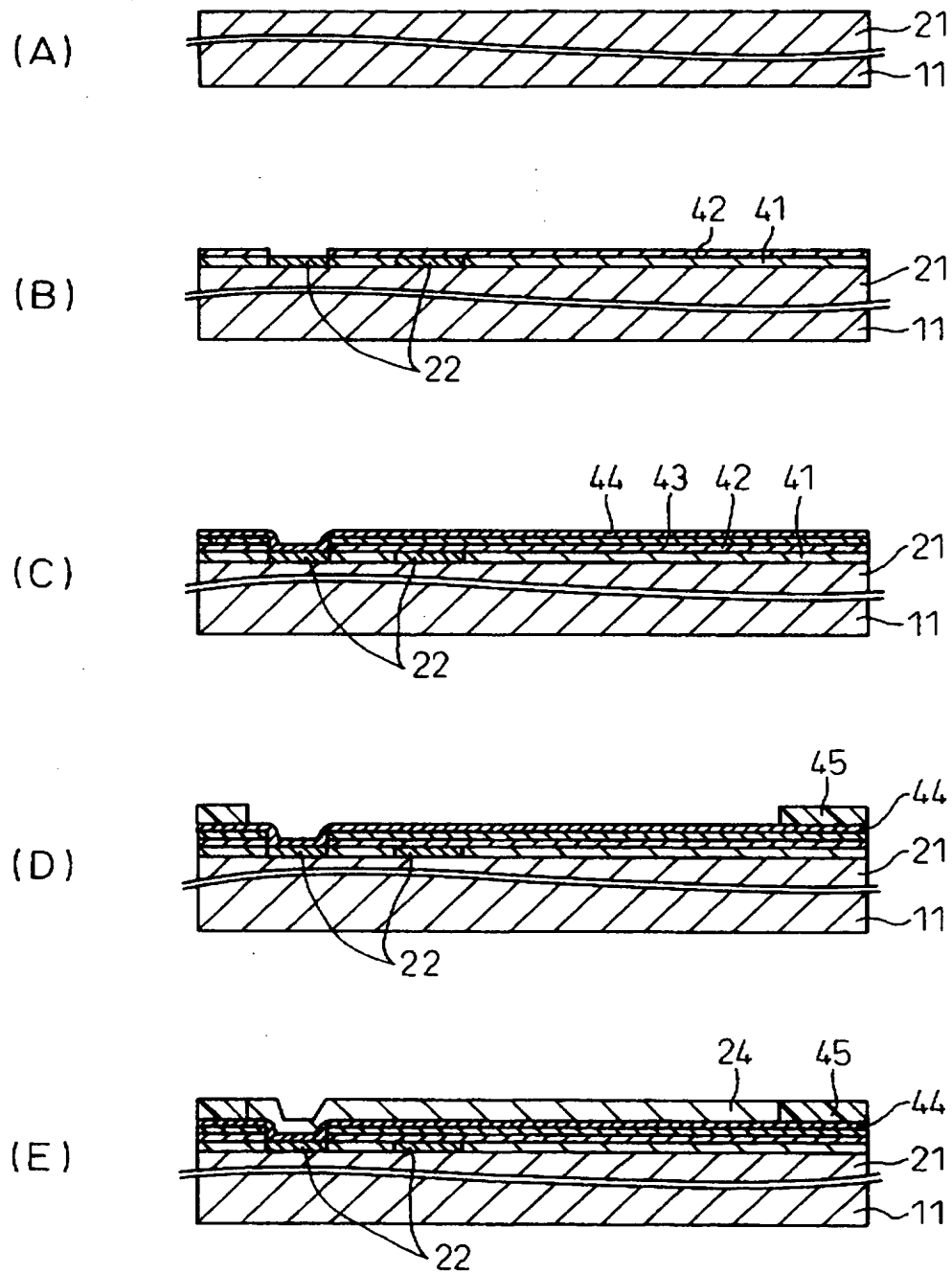
【図 5】

図 5



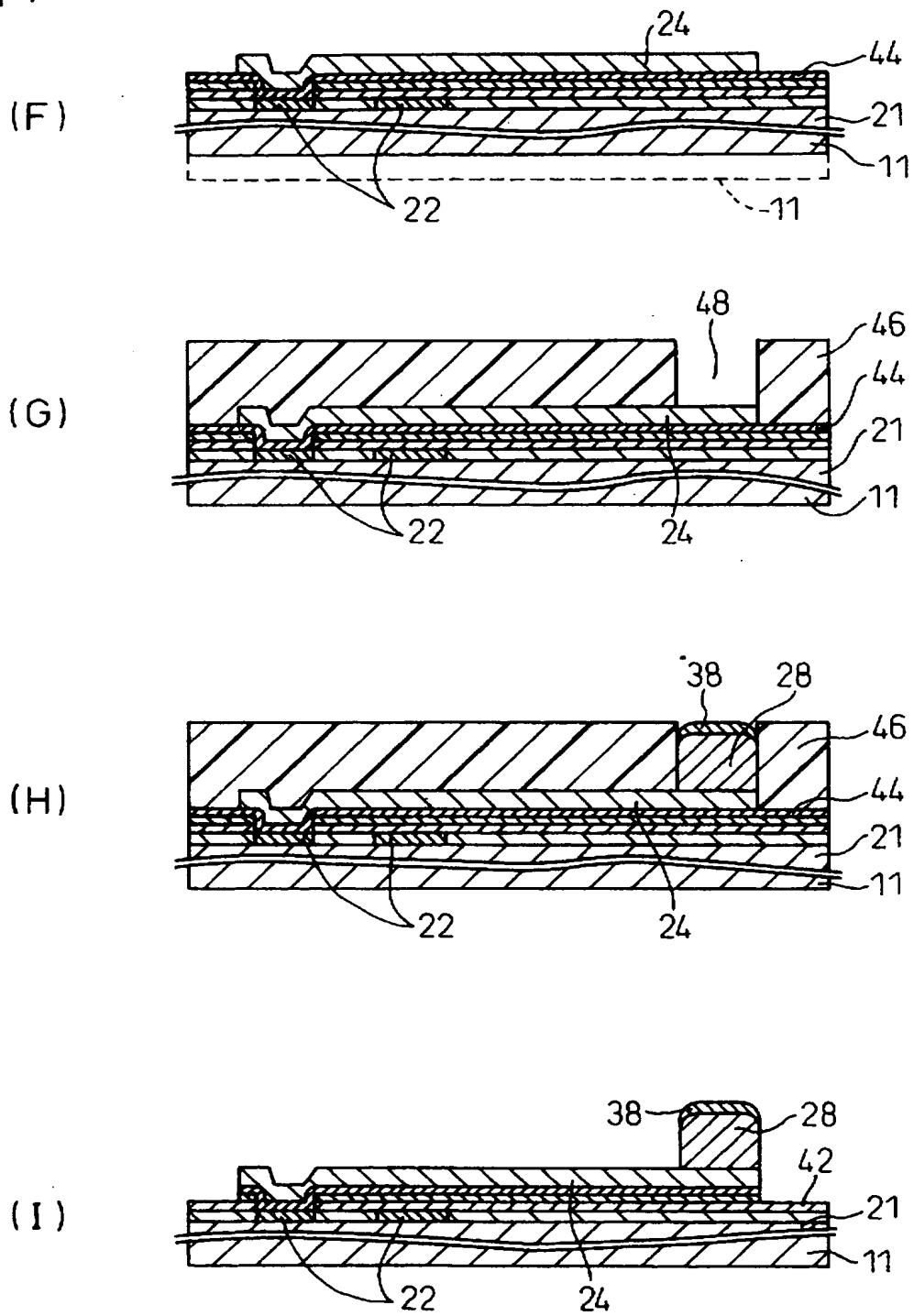
【図 6】

図 6



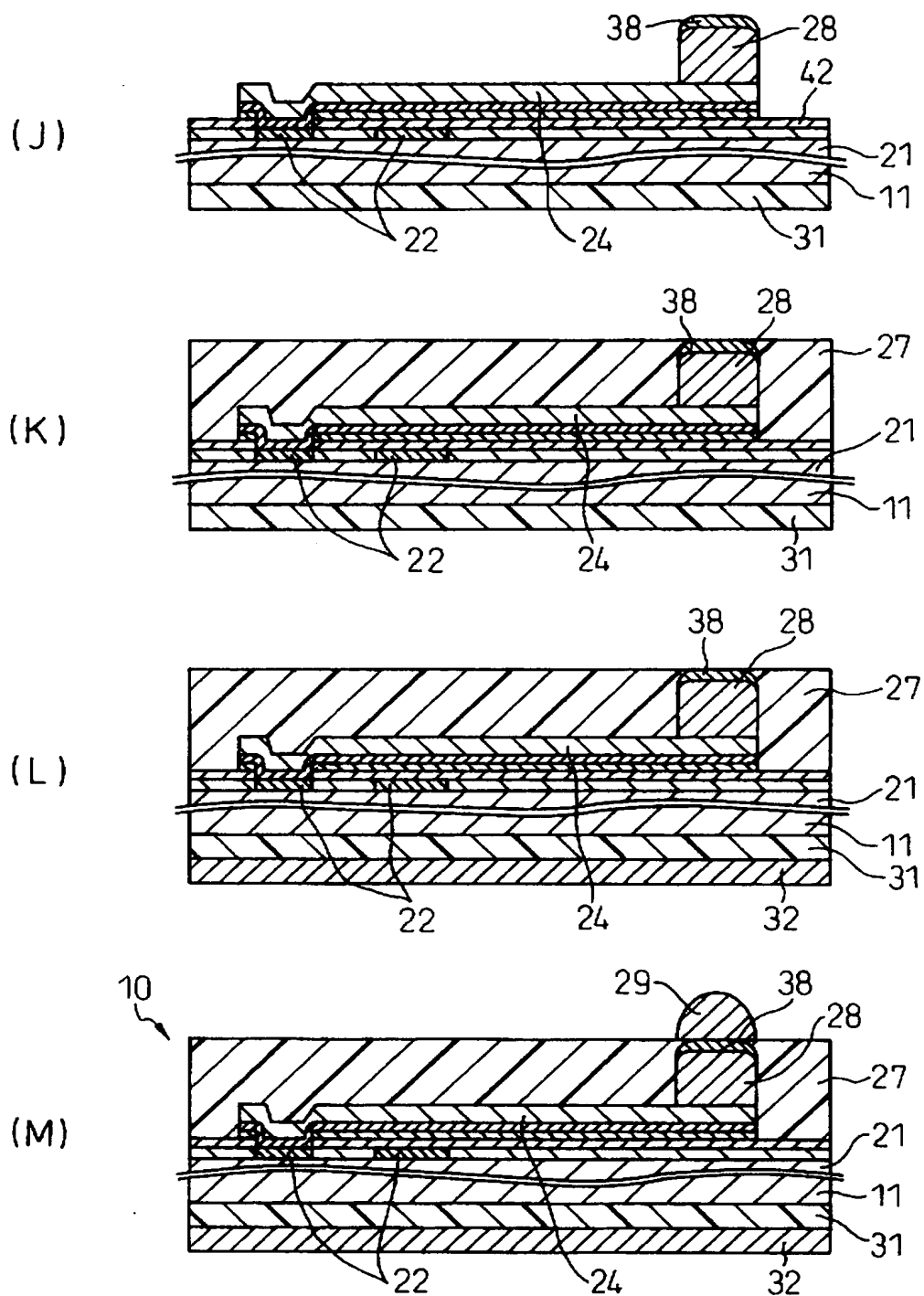
【図 7】

図 7



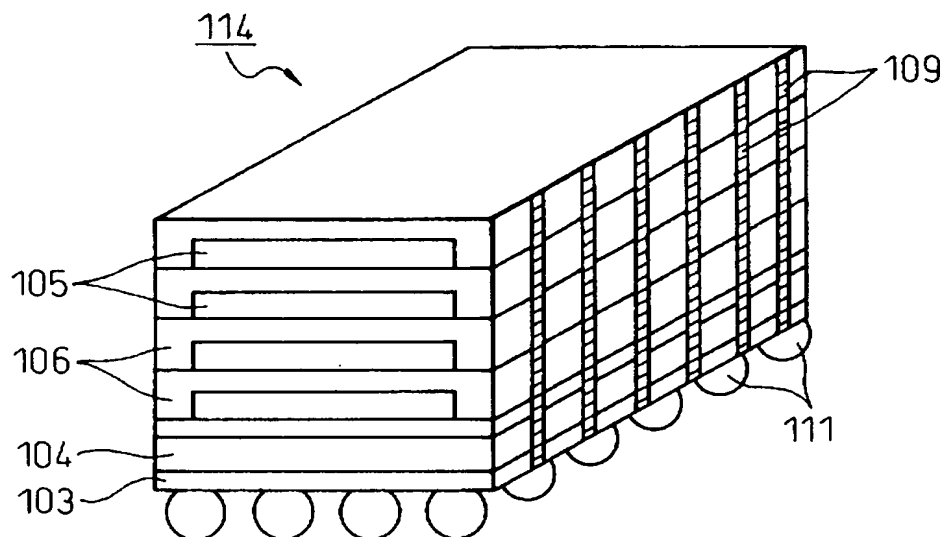
【図 8】

図 8



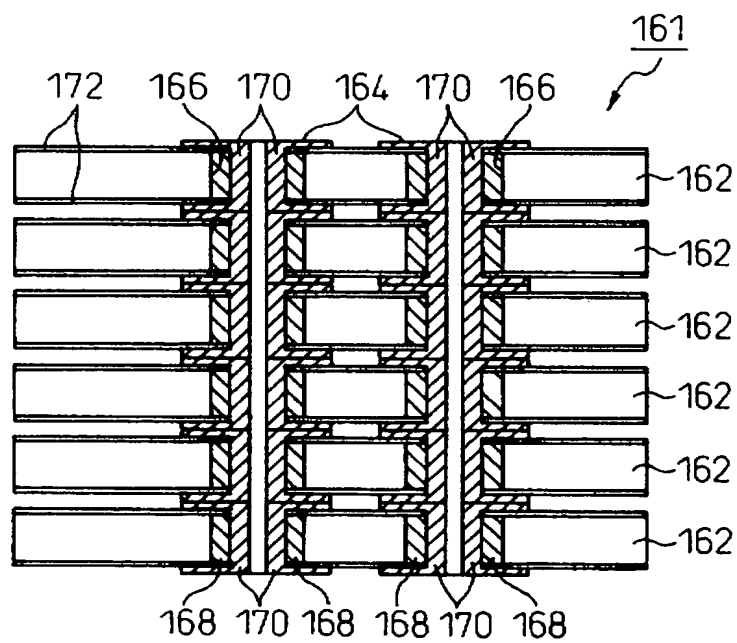
【図 9】

図 9



【図 10】

図 10



【書類名】 要約書

【要約】

【課題】 高密度実装が可能な小型で高性能な半導体パッケージを提供すること

。

【解決手段】 複数個の半導体パッケージをウエハレベルで一括して作製した後、に個々の半導体パッケージに切り離されたものであって、前記半導体パッケージが、2個以上の半導体装置を絶縁層を介して貼り合せた積層体であり、前記半導体装置が、それぞれ、基板とその表面に形成されたデバイスパターンとを含んでおり、かつ下方の半導体装置のデバイスパターン面がその上に積層された半導体装置の非デバイスパターン面と対面しているように構成する。

【選択図】 図1

特願 2 0 0 3 - 1 1 0 6 8 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 9 0 6 8 8]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 長野県長野市大字栗田字舎利田 7 1 1 番地
氏 名 新光電気工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日
[変更理由] 住所変更
住 所 長野県長野市小島田町 8 0 番地
氏 名 新光電気工業株式会社